

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-132315

(43)Date of publication of application : 06.05.1992

(51)Int.Cl.

H03M 1/74

(21)Application number : 02-253821

(71)Applicant : NIPPON SIGNAL CO LTD:THE

(22)Date of filing : 21.09.1990

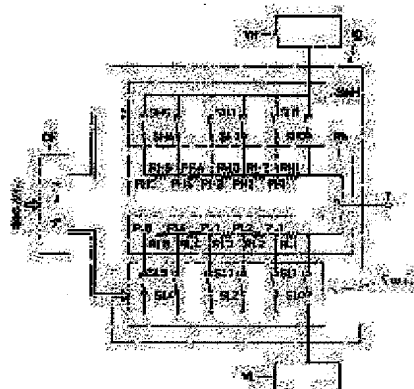
(72)Inventor : ANZAI HIROTSUGU
OYAMADA KAZUYUKI
SHINOZAKI TAKASHI

(54) D/A CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To obtain lots of analog output values with simple constitution by forming the D/A converter from a 1st specific switch group and a 2nd specific switch group.

CONSTITUTION: With a digital signal supplied to 1st and 2nd switch groups SWH, SWL externally, a relevant switch group is closed. Then a relevant connecting point or its termination is connected to a voltage source and a voltage is applied from the voltage source. Thus, a current flows from a high voltage source to a low voltage source. The current flows through a resistor located between a connecting point or a termination closest to an output connecting point among the connecting point connecting to a 1st voltage source and terminations P-PH5 and a connecting point or a termination closest to an output connecting point among the connecting point connecting to a 2nd voltage source and terminations P-PL5. Then the current further flows through an output connecting point P. Thus, lots of analog output values are obtained with the simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-132315

⑬ Int. Cl.⁵
H 03 M 1/74

識別記号 庁内整理番号
9065-5J

⑭ 公開 平成4年(1992)5月6日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 D/A変換回路

⑯ 特 願 平2-253821

⑰ 出 願 平2(1990)9月21日

⑱ 発 明 者 安 齊 博 次 栃木県宇都宮市平出工業団地11番地 日本信号株式会社宇
都宮事業所内
⑱ 発 明 者 小 山 田 和 行 栃木県宇都宮市平出工業団地11番地 日本信号株式会社宇
都宮事業所内
⑱ 発 明 者 篠 崎 隆 栃木県宇都宮市平出工業団地11番地 日本信号株式会社宇
都宮事業所内
⑲ 出 願 人 日本信号株式会社 東京都千代田区丸の内3丁目3番1号
⑳ 代 理 人 弁理士 野村 滋 衛 外1名

明 細 書

1. 発明の名称

D/A変換回路

2. 特許請求の範囲

(1) 複数の抵抗を直列に接続し、前記抵抗の任意の一接続点を出力を得る出力接続点と成した抵抗網と、

前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により駆動され閉じる第一のスイッチ群と、

前記出力接続点並びに前記抵抗網のもう一方の終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により駆動され閉じる第二のスイッチ群とから成るD/A変換回路。

(2) 2N個の抵抗を直列に接続し、前記抵抗

の接続点中で中央のものを出力を得る出力接続点と成した抵抗網と、

前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により択一的に駆動され閉じる(N+1)個の第一の半導体スイッチ群と、

前記出力接続点並びに前記抵抗網の他終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により択一的に駆動され閉じる第二の半導体スイッチ群とから成り、

前記第一の半導体スイッチ群と第二の半導体スイッチ群のうち、各々に対応する接続点もしくは前記抵抗網終端部の間に含まれる抵抗がN個となるものを対にして、これらN対の半導体スイッチ対のうち何れかを択一的に前記デジタル信号で同時に駆動し閉じるように構成されたD/A変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、2値のデジタル信号群を入力とし、この入力に応じたアナログ信号を出力するD/A変換回路に関する。

〔従来技術〕

従来よりCPU等から出力されるデジタル信号に対応したアナログ電圧を得るために、あるいは遠隔装置よりの制御信号に適するデジタル信号を末端装置にて対応するアナログ電圧に変換するために各種のD/A変換回路が提案されている。上記デジタル信号としては数ビットを組にして各種情報を表す場合もあるが、数ビットの信号の内訳的に何れかのビットの信号が選択されるデジタル信号の用い方もある。後者の信号を扱う信号の選択状態に応じたアナログ電圧が出力される従来のD/A変換回路の一例を第4図に示す。

同図においてD/A変換回路40は、5個の抵抗 $R_1 \sim R_5$ を直列に接続した抵抗網41と、6個の電磁リレー $RL_0 \sim RL_5$ から構成されてい

$P_2 \sim P_5$ は順にこれらの中間の電位となる。ここで外部からの信号、例えば与えられたデジタル条件に基づきデコーダ45で択一的信号に変換されたデジタル信号によって何れかの電磁リレーが択一的に駆動されるとリレー接点 $RS_1 \sim RS_6$ のうち対応する何れか一つが閉じて接続点及び終端 $P_1 \sim P_6$ の何れかが出力端子43に接続されることになる。従って、接続点 $P_1 \sim P_6$ での電圧の何れかが出力端子43よりアナログ出力として出力される。尚、上述のように本明細書中では、設定された3値以上の段階的多値のうち何れかが入力デジタル信号の条件に応じて出力されたものをアナログ出力と記す。

なお、上述したD/A変換回路40において各抵抗 $R_1 \sim R_5$ を全て等しい抵抗値とすれば得られるアナログ出力は基準電圧を5等分した電圧値に「0から5まで」の任意の値を乗じた6段階の電圧が得られることになる。

また、N個の抵抗とN+1個の電磁リレーを用いて上述したと同様にD/A変換回路を構成すれ

る。これらの電磁リレー $RL_0 \sim RL_5$ は夫々駆動端子 $IN_0 \sim IN_5$ 及びリレー接点 $RS_0 \sim RS_5$ を各々1個具備しており、前記駆動端子 $IN_0 \sim IN_5$ に加わる外部からのデジタル信号により何れかが択一的に駆動される。6個の各リレー接点 $RS_0 \sim RS_5$ の一方の端子群は全て並列接続されてD/A変換回路40の出力端子43に接続されており、他方の端子群は前記抵抗網41の一終端 P_1 、抵抗 $R_1 \sim R_5$ の抵抗同士の接続点 $P_2 \sim P_5$ 、抵抗網41の他終端 P_6 に夫々順に接続されている。また同時に前記抵抗網41の両終端 P_1 、 P_6 は夫々グランド及び基準電圧源44の出力にも接続されている。

上述のように構成されたD/A変換回路40の作用を説明する。前記抵抗網41には基準電圧源44よりグランドへと抵抗網41の抵抗値に依存する電流が流れ従って各接続点(終端含む) $P_1 \sim P_6$ は夫々異なった電位となっている。すなわち P_1 はグランド電位に、 P_6 は基準電圧源44の出力電圧に等しい電位となり、この間の接続点

ばN+1段階の出力を得ることができる。

さて、上述したD/A変換回路40は機械的接点をもつ電磁リレーを使用しているため、装置の小型化、低価格化が困難でありまた対振動性においても難点があった。これらの難点を解消するため半導体素子を用いることが考えられるが、単にリレーの接点にかえて半導体を使用することはできない。何故ならば上述の回路では接続点ごとに電圧条件が異なるので均一な安定した動作状態で各半導体スイッチを動作させ得ないためである。

このため半導体を用いた第5図に示すような別のD/A変換回路も知られている。

同図においてD/A変換回路50は、5個の抵抗 $R_1 \sim R_5$ を直列に接続した抵抗網51と、この抵抗網51の一端 R_5 側に入力側が接続されたバッファアンプAP、及び出力が夫々前記抵抗網51の一端 P_0 、抵抗 $R_1 \sim R_5$ の抵抗同士の接続点 $P_1 \sim P_5$ に夫々調整用抵抗 $R'_1 \sim R'_5$ を介して接続されており夫々の入力側は夫々駆動端子 $IN_1 \sim IN_5$ に接続されている5個の半導

体増幅器A1～A5から構成されている。このD/A変換回路50も駆動端子IN1～IN5に択一的に加わる外部からのデジタル信号例えばデコード52で変換された信号により択一的に駆動される。前記バッファアンプAP及び半導体増幅器A1～A5には電源端子Vsより電圧が供給されている。

上述のように構成されたD/A変換回路50の作用を以下説明する。

前記駆動端子IN1～IN5には外部よりデジタル信号が択一的に加わる。すなわち駆動端子IN1～IN5のうち何れか1つ(例えばIN3)にのみ他の駆動端子と異なる信号が加わる。そして半導体増幅器A1～A5のうち対応するもの(A3)が駆動され出力が得られる。この半導体増幅器A3の出力はR'3、R3、R4を介して前記バッファアンプAPに入力され結局D/A変換回路の入力条件に応じたバッファアンプAPの出力が出力端子53よりアナログ出力として得られる。このとき前記バッファアンプAPの出力は

また、後者の第5図で電圧源の電圧を当分した値の整数倍のアナログ出力を要する場合、精度を高くするには抵抗網の素子数が多くなり、回路が増大する。

〔問題点を解決するための手段〕

本発明は、上述した双方の従来のD/A変換回路が別個にもつ各問題点を同時に解決した半導体素子を使用し得る新規なD/A変換回路を提供することを目的としており、

このため本発明においてはD/A変換回路を、複数の抵抗を直列に接続し、前記抵抗の任意の一接続点を出力を得る出力接続点と成した抵抗網と、前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により駆動され閉じる第一のスイッチ群と、前記出力接続点並びに前記抵抗網のもう一方の終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により駆動され閉じる第二のスイッチ群と

入力として流れ込む電流に対応する構成としておけば、駆動端子IN1にのみ入力加わった場合から駆動端子IN5にのみ入力加わった場合まで順に高い電圧となる5段階の出力が得られる。また、各抵抗R1～R5を全て等しい抵抗値とすれば得られるアナログ出力は基準電圧を5等分した電圧値に「1から5まで」の任意の値を乗じた5段階の電圧を得ることができる。なお駆動端子IN1～IN5の何れにも信号を加えない場合に得られる出力(0V)を加え6段階出力とすることもできる。なお、上述したと同様にN個の抵抗とN個の半導体増幅器を用いてD/A変換回路を構成すればN段階(更に出力0Vを加えることもできる)のアナログ出力を得ることができる。

〔従来技術の問題点〕

ところで、前述した従来のD/A変換回路は用途によっては夫々に問題点を有する。すなわち、前者の第4図に示すものにおいては半導体化ができないという問題点があった。

から構成する。

また、本願他の発明ではD/A変換回路を、

2N個の抵抗を直列に接続し、前記抵抗の接続点中で中央のものを出力を得る出力接続点と成した抵抗網と、前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により駆動され閉じる(N+1)個の第一の半導体スイッチ群と、前記出力接続点並びに前記抵抗網の他終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により駆動され閉じる第二の半導体スイッチ群とから成り、前記第一の半導体スイッチ群と第二の半導体スイッチ群のうち、各々に対応する接続点もしくは前記抵抗網終端部の間に含まれる抵抗がN個となるものを対にして、これらN対の半導体スイッチ対のうち何れかを択一的に前記デジタル信号で同時に駆動し閉じるように構成する。

〔発明の実施例〕

以下、添付図面に沿って本発明の実施例を説明する。

第1図は本発明の一実施例であるD/A変換回路10のブロック図である。RNは複数の抵抗を直列に接続してなる抵抗網であり、出力端子Tが接続され出力を得る出力接続点Pより一方にRH1、RH2、RH3、RH4、RH5の5個の高電位側抵抗が、また前記出力接続点Pより他方にRL1、RL2、RL3、RL4、RL5の5個の低電位側抵抗が順に直列接続されている。前記抵抗網RNの高電位側抵抗側の終端PH5並びに前記出力接続点P及び両者間の接続点群PH1～PH4は、外部からのデジタル信号例えばデコードDEの出力により独立して閉じられる第一のスイッチ群SWH(SH0～SH5)を介して夫々第一電圧源VHに接続されており、一方前記抵抗網RNの低電位側抵抗側の他方の終端PL5並びに前記出力接続点P及び両者間の接続点群PL1～PL4は、同じくデジタル信号により閉じられる第二のスイッチ群SWL(SL0～SL

5)を介して前記第一電圧源と異なる電圧(低電圧とする)の第二電圧源VLに夫々接続されている。

上述のD/A変換回路10の作用を以下説明する。

外部より前記第一のスイッチ群SWH及び第二のスイッチ群SWLにデジタル信号が供給されるとスイッチ群の対応するものが閉じる。すると対応する接続点あるいは終端が電圧源に接続され電圧源より電圧が供給される。従って、高電位側の電圧源より低電位側の電圧源に電流が流れるがこの電流は第一電圧源に接続された接続点及び終端(P～PH5)のうちで前記出力接続点Pに最も近いものと、第二電圧源に接続された接続点及び終端(P～PL5)のうちで前記出力接続点Pに最も近いものとの間に位置する抵抗を直列に通って出力接続点Pを流れることになる。従って、前記出力接続点Pは第一電圧源と第二電圧源の電圧の何れかと等しい電圧または抵抗による電圧降下に対応した両電圧源の間の電圧となり

この電圧がD/A変換した結果として出力される。

例えば、10個の抵抗全てに等しい抵抗値R₁のものを用い、第一電圧源が10Vで第二電圧源が0V(グラウンド、アース)である場合には、スイッチ群の状態に応じて決まる出力接続点Pと両電圧源夫々の間に含まれる抵抗の数に応じて第2図の表に示す多様な電圧値が出力として出力端子Tより得られる。

なお、第一電圧源に接続された接続点及び終端のうちで前記出力接続点Pに最も近いものと、第二電圧源に接続された接続点及び終端のうちで前記出力接続点Pに最も近いものとの間に位置する抵抗数が常に一定数となる場合のみの出力を用いれば両電圧源の差電圧を等分した電圧差の電圧値を出力することができる。例えば常に5つの抵抗が両電圧間に含まれるようにスイッチを制御すれば0Vから10Vを5等分した2Vステップの電圧すなわち2V、4V、6V、8V、10V及び0Vの出力を得ることができる。

以上述べた様に本発明のD/A変換回路では構

成する抵抗及びスイッチの数に比して多様な出力を得ることができる。

本実施例では抵抗を10個としたが、勿論抵抗の数に制限はなく、より多数の抵抗と対応するスイッチ群を備えた構成とすればより分解能の高いD/A変換回路を構成することができる。

なお、前述したように出力接続点Pに最も近いスイッチのみが出力電圧を決定するのに寄与するので前記スイッチをスイッチ群につき一つ択一的に駆動すれば足りる。

本発明のD/A変換回路はまた前記スイッチ群を半導体素子にて実現することができるのも大きな特徴である。次にこのような半導体素子を用いた第二の発明について説明する。

第3図は本願第二の発明の一実施例であるD/A変換回路を示す回路図である。

この実施例においては前述の各スイッチは半導体素子で構成されている。

他の部分は前実施例のものと略同じである。すなわち、同図においてRNは複数の抵抗を直列に

接続してなる抵抗網であり、出力端子 T が接続され出力を得る出力接続点 P より一方に RH 1、RH 2、RH 3、RH 4、RH 5 の 5 個の高電位側抵抗が、また前記出力接続点 P より他方に RL 1、RL 2、RL 3、RL 4、RL 5 の 5 個の低電位側抵抗が順に直列接続されている。前記抵抗網 RN の高電位側抵抗側の終端 PH 5 並びに前記出力接続点 P 及び両者間の接続点群 PH 1 ~ PH 4 は、デジタル信号により駆動され導通する半導体スイッチ群 SWH を介して夫々第一電圧源 VH に接続されており、一方前記抵抗網 RN の低電位側抵抗側の他方の終端 PL 5 並びに前記出力接続点 P 及び両者間の接続点群 PL 1 ~ PL 4 も、同じくデジタル信号により駆動され導通する半導体スイッチ群 SWL を介して夫々前記第一電圧源と異なる低電圧の第二電圧源 VL (GND) に接続されている。

上記半導体スイッチ群 SWH の個々のスイッチの構成を抵抗網 RN の端部の一つを例に説明すると、前記第一電圧源 VH にエミッタ端子が接続さ

れた PNP トランジスタ QA 5 とそのベース端子に抵抗 R 6 を介してコレクタ端子が接続された NPN トランジスタ QB 5 とから成り、前記トランジスタ QA 5 のコレクタ端子は前記抵抗網 RN の接続点 P 5 に接続されており、前記トランジスタ QB 5 のエミッタ端子は第二電圧源 VL (GND) に接続されている。またトランジスタ QB 5 のベース端子は抵抗 R 7 を介してデジタル信号に接続されている。なお、前記トランジスタ QA 5 のベース端子は抵抗 R 8 を介して電圧源 VH にも接続されている。

また、上記半導体スイッチ SWL の構成を抵抗網 RN の端部のものを例に説明すると、前記抵抗網 RN の接続点 PL 5 にコレクタ端子が、前記第二電圧源 VL にエミッタ端子が接続された NPN トランジスタ QC 5 で成りそのベース端子は抵抗 R 9 を介してデジタル信号に接続されている。

上記両半導体スイッチ群の各ベース端子は夫々独立して駆動しても良いが、本発明においては各々のデジタル入力に対応して第一の半導体ス

イッチ SWH の中から択一的にひとつが、同時にこれに対応して第二の半導体スイッチ SWL の中から択一的にひとつが対になって駆動される。すなわち、例えばデジタル入力 D 5 に対応して第一の半導体スイッチ SWH の中出力接続点 P に最も近いトランジスタ QB と第二の半導体スイッチ SWL の中、出力接続点 P に最も遠いトランジスタ QC 5 とが同時に駆動される。従ってこの時選択された 2 つの半導体スイッチの間に介在する抵抗網中の抵抗は RL 1 ~ RL 5 でその個数は 5 個となる。その他の組合せも全て選択された 2 つの半導体スイッチの間に介在する抵抗網中の抵抗の個数は 5 個となるような対と成っている。

上述の D/A 変換回路 20 の作用を以下説明する。

前記第一のスイッチ群 SWH 及び第二のスイッチ群 SWL のうちで前述したように対になったものの何れかに外部よりデジタル信号 D 0 ~ D 5 のうち一つが択一的に供給されるとこれに対応してスイッチ群の所定の対のものが閉じる。すると対

応する接続点あるいは終端が電圧源に接続され電圧源より電圧が供給される。従って、高電位側の電圧源より低電位側の電圧源に電流が流れるがこの電流は第一電圧源に接続された接続点と、第二電圧源に接続された接続点との間に位置する所定の 5 個の抵抗を直列に通って出力接続点 P を通り流れることになる。従って、前記出力接続点は第一電圧源と第二電圧源の電圧の何れかと略等しい電圧または電圧降下に対応した両者の間の電圧となりこの出力接続点 P の電圧が D/A 変換した結果として出力される。

例えば、10 個の抵抗全てに等しい抵抗値 R_i のものを用い、第一電圧源が 5 V で第二電圧源が 0 ボルト (グラウンド、アース) である場合には、どのデジタル入力が印加されるかに応じて両電圧源の差電圧を 5 等分した電圧差の電圧値を出力することができる。即ち 0 V から 5 V を 5 等分した 1 V ステップの電圧すなわち 1 V、2 V、3 V、4 V、5 V 及び 0 V の出力を得ることができる。

このように、2 つの半導体スイッチ間に介在す

る抵抗の個数が常に一定で、従って常に一定の抵抗値となるようにすれば各半導体を何れも常に同一条件で動作させることができるため、安定で精度の高いD/A変換回路となる。

なお、前記半導体スイッチとしては、デジタル信号によりONとなった時にはそのON抵抗値が直列に接続される抵抗の抵抗値に比して充分に低く、一方OFFとなった時にはそのOFF抵抗値が抵抗網に使用している抵抗の抵抗値に比して充分に高い抵抗値となるように構成する。

本実施例では半導体スイッチとしてトランジスタ回路を用いたが、これに代えてFETを使用することもできる。この場合にはスイッチ部で生じる電圧降下をより少ないものとすることができ、前述した2つの電圧電圧に極めて近い電圧の出力まで得ることができる。その他フォトMOSFET(フォトMOSリレー)を半導体スイッチとして用いることもできる。

本実施例では抵抗を10個としたが、勿論抵抗の数はこれに限らず、より多数の抵抗と対応する

ことができる。また前述したように二種のスイッチ群を適宜組合せて閉じることにより電圧源の電圧を等分した値の整数倍のアナログ出力を得る構成とすることもできる。

また、本願他の発明ではD/A変換回路を、2N個の抵抗を直列に接続し、前記抵抗の接続点中で中央のものを出力を得る出力接続点と成した抵抗網と、前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により択一的に駆動され閉じる(N+1)個の第一の半導体スイッチ群と、前記出力接続点並びに前記抵抗網の他終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により択一的に駆動され閉じる第二の半導体スイッチ群とから成り、前記第一の半導体スイッチ群と第二の半導体スイッチ群のうち、各々に対応する接続点もしくは前記抵抗網終端部の間に含まれる抵抗がN個となるものを対にして、これらN対の半導体スイッチ対のうち何れかを択一的に前記デジタル信

スイッチを備えた構成とすればより分解能の高いD/A変換回路を構成することができる。

なお、デコーダDEと、第一スイッチ群SWH及び第二スイッチ群SWLとの接続をアイソレーションアンプ等でアイソレーションすることにより両部分の各電圧源を分離することが可能である。

〔発明の効果〕

以上述べた如く本発明においてはD/A変換回路を、複数の抵抗を直列に接続し、前記抵抗の任意の一接続点を出力を得る出力接続点と成した抵抗網と、前記出力接続点並びに前記抵抗網の一終端部及び両者間の接続点を第一の電圧源に夫々接続しデジタル信号により駆動され閉じる第一のスイッチ群と、前記出力接続点並びに前記抵抗網のもう一方の終端部及び両者間の接続点を前記第一の電圧源と異なる電圧の第二の電圧源に夫々接続しデジタル信号により駆動され閉じる第二のスイッチ群とから構成したので、

簡単な構成で多くのアナログ出力値を得ること

号で同時に駆動し閉じるように構成したので、

小型で対振動性が高く故障の少ないしかも電圧源と略等しい出力を含む電圧源の電圧を等分した値の整数倍のアナログ出力を得ることができる、半導体を利用したD/A変換回路を実現することができる。

4. 図面の簡単な説明

第1図は本発明によるD/A変換回路の一実施例を示す回路図を、

第2図は第1図のD/A変換回路の出力を示す表を、

第3図は本願他の発明によるD/A変換回路の一実施例を示す回路図を、

第4図は従来のD/A変換回路の回路図を、

第5図は他の従来のD/A変換回路の回路図を各々示す。

RH1~RH5、RL1~RL5…抵抗、

RN…抵抗網、P…出力接続点、

P、PH1～PH4、PL1～PL4…接続点、
 PH5、PL5…終端部、
 第一電圧源…VH、 第二電圧源…VL、
 第一スイッチ群…SWH、
 第二スイッチ群…SWL。

特許出願人

日本信号株式会社

代理人 弁理士

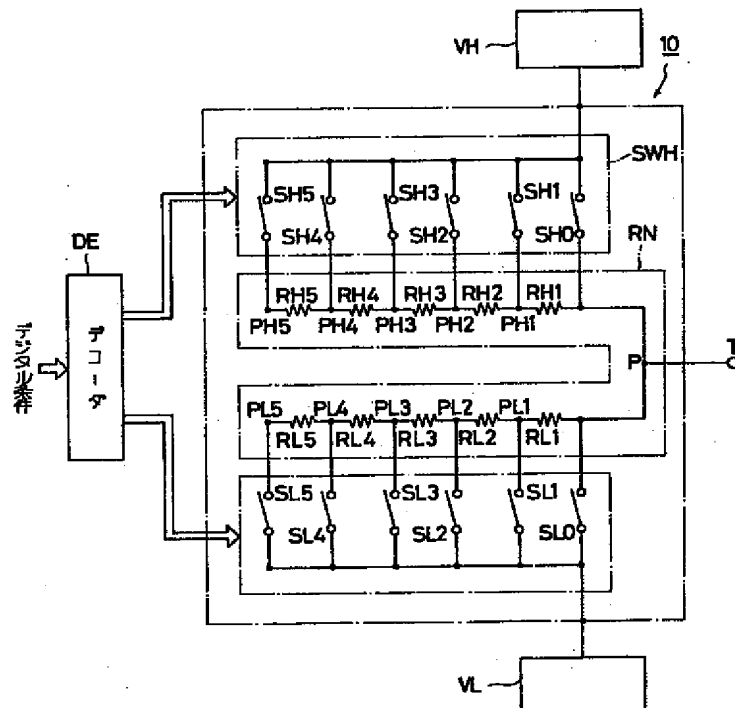
野村 滋

代理人 弁理士

岡澤 英



第 1 図

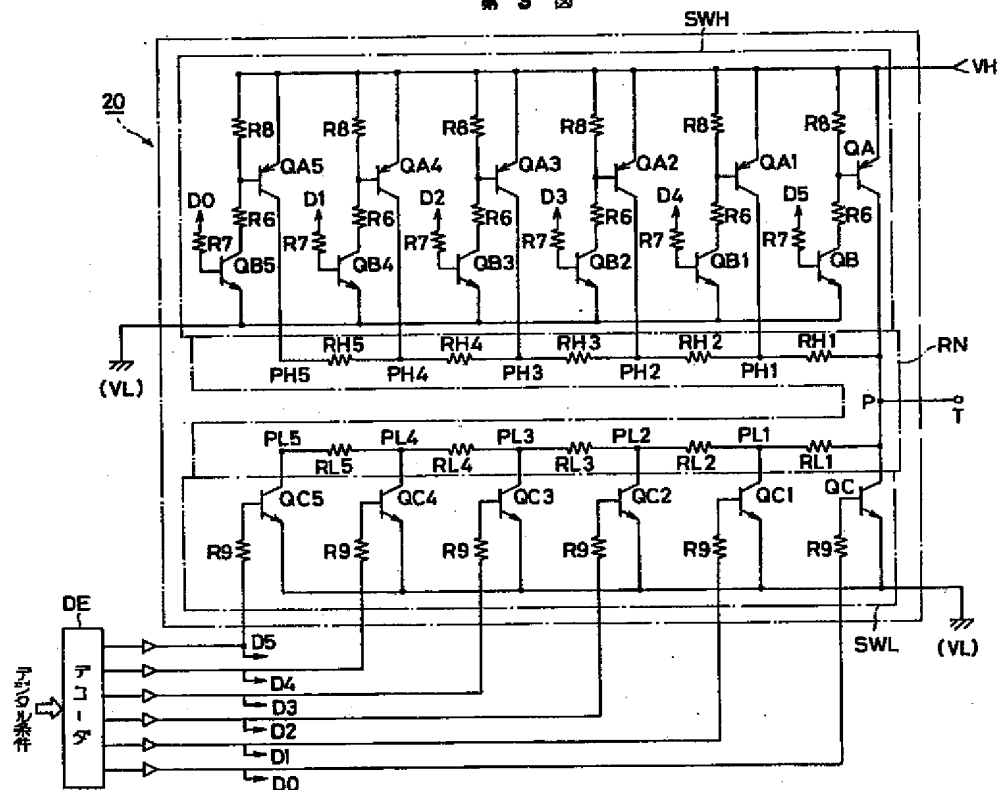


第 2 図

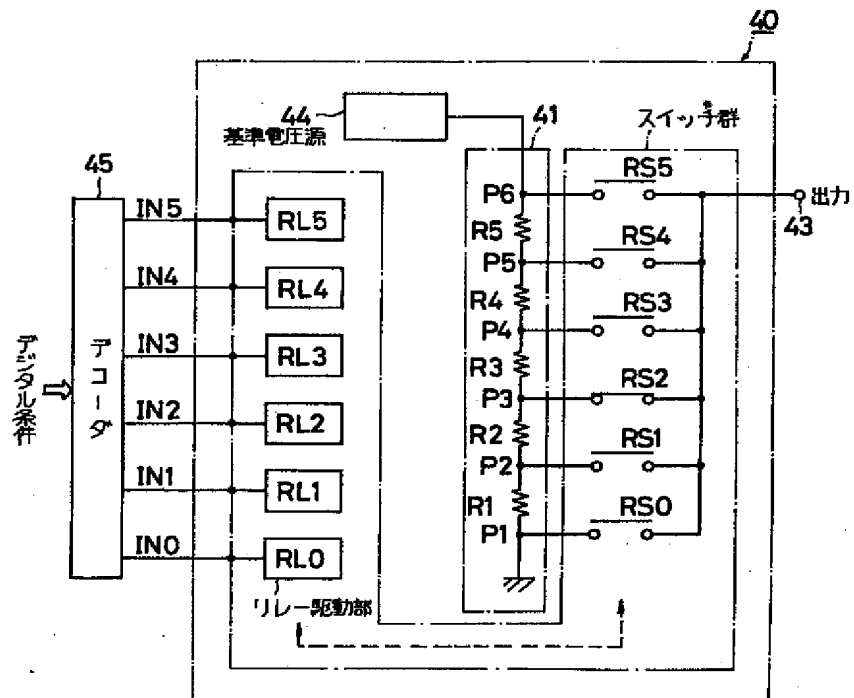
P-VH間抵抗値 (10V側)	0	1					2					3				
P-VL間抵抗値 (0V.GND側)	任意	1	2	3	4	5	1	2	3	4	5	1	2	3	4	5
出力電圧(V)	10	5.0	6.7	7.5	8.0	8.3	3.3	(5)	6.0	(6.7)	7.1	2.5	4.0	(5)	5.7	6.3

4					5					任意
1	2	3	4	5	1	2	3	4	5	0
2.0	(3.3)	4.3	(5)	5.6	1.7	2.9	3.8	4.4	(5)	0

第 3 図



第 4 図



第 5 図

